

Б.Т. МАТКАРИМОВ, Т.Т. ПАЛТАШЕВ, С.О. ЧУРАЕВ

## ВНУТРИСХЕМНЫЕ ВЫСОКОТОЧНЫЕ ИЗМЕРЕНИЯ ВРЕМЕННЫХ ПАРАМЕТРОВ СТАНДАРТНЫХ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ

(Представлена академиком НАН РК Т.Ш. Кальменовым)

В данной работе рассматривается реализация метода случайных выборок для высокоточных внутрисхемных измерений временных задержек отдельных элементов стандартной библиотеки, используемой в производстве полузаизданных интегральных микросхем на кремниевых фабриках полупроводниковой индустрии. Тестовый чип изготовлен по технологическому процессу 0.13mm GL130SB на кремниевой фабрике Dongbu HiTek и позволил произвести измерения временных задержек с пикосекундной точностью для 32 библиотечных элементов. Результаты измерений позволили улучшить модельные параметры библиотеки стандартных элементов, используемые при верификации параметров топологии проектируемых СБИС.

### 1. Введение

Качество дизайн проекта микро- и, в особенности, наноэлектронных систем значительно зависит от точности модельных параметров библиотеки стандартных элементов, предоставляемых разработчикам от кремниевой фабрики. Временные параметры и другие характеристики, как схемы, так и стандартных библиотечных элементов обычно формируются в результате численного моделирования с экстракцией параметров и характеристик паразитных элементов [1]. Верификация временных параметров библиотеки стандартных элементов осуществляется с помощью специальных измерений, как внутрисхемных, так и внешних с использованием специализированного высокоточного оборудования. По сравнению с внешними методами измерений, внутрисхемные измерения имеют множество преимуществ, среди которых можно отметить высокую гибкость методики измерений и возможность адаптации под проект конкретного устройства.

Метод случайных выборок для внутрисхемных измерений временных параметров [2,3] позволяет производить измерения задержки на одном библиотечном элементе и определить временные параметры переднего и заднего фронтов сигнала. Данный подход по существу не зависит от конкретного объекта измерений (device under test – DUT), позволяя производить измерения временных параметров для любых логических цепей, как одиночных элементов, так и сложных функциональных блоков и межсоединений. По существу, метод случайных выборок для изме-

рения временных параметров основан на многочисленных измерениях значений сигнала на контактах измеряемого элемента в случайные моменты времени и статистической обработке полученных данных. Будем считать, что состояние цифрового элемента есть совокупность значений сигналов на его контактах, очевидно, что цифровой элемент имеет конечное число состояний. Если на измеряемый элемент (DUT) подается периодический сигнал, то в общем случае мы можем наблюдать периодическое изменение его состояний, и вероятность обнаружения элемента в определенном состоянии в случайный момент времени пропорциональна времени, в течение которого элемент находится в данном состоянии. Собрав статистику состояний измеряемого элемента в случайные моменты време-

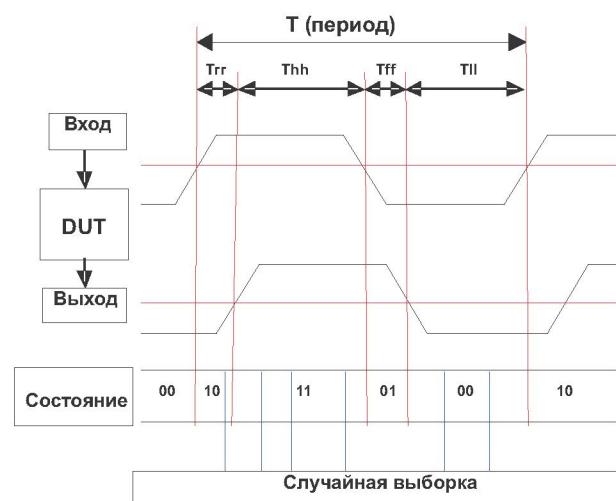


Рис. 1. Метод случайных выборок

ни, мы можем определить его временные характеристики [2]. Рисунок 1 демонстрирует данный подход на примере неинвертирующего DUT под влиянием внешнего периодического цифрового сигнала, вызывающего переходы состояний DUT. Здесь интервалы времени  $T_{rr}$ ,  $Thh$ ,  $Tff$ ,  $Tll$  соответствуют всевозможным комбинациям входной/выходной формы сигнала: передний фронт – передний фронт, высокий уровень – высокий уровень, задний фронт – задний фронт и низкий уровень – низкий уровень. В работе [2] отмечено, что для  $N$  независимых измерений методом случайных выборок, среднеквадратичная ошибка измерений для  $T_{rr}$  оценивается как  $\sqrt{T \cdot T_{rr}/N}$ . Для уменьшения ошибки измерений период входного сигнала  $T$  должен быть минимально возможным, но в тоже время, измеряемая задержка должна быть заметно меньше времени между передним и задним фронтами сигнала.

## 2. Реализация

Создание тестовой интегральной схемы предполагало основные цели полной функциональной верификации библиотечных элементов, обеспечения временных (частотных) высокоточных измерений на кристалле с точностью до 1 ps и определения возможности корректировки SPICE параметров библиотечных элементов.

Для реализации метода случайных выборок внутрисхемных измерений временных параметров библиотечных элементов мы использовали схематику, предложенную в [2], с дополнительным счетчиком для случайного сигнала (Рисунок 2). По окончании длительного периода измерений, каждый счетчик аккумулирует некоторое значение, пропорциональное времени нахождения DUT в соответствующем состоянии. Значение счетчика 5 должно быть равно сумме значений счетчиков 1, 2, 3, 4 при завершении процесса измерений, данное условие уменьшает влияние возможных отклонений в синхронизации сигналов. Согласно методу случайных выборок [2], временные параметры DUT  $T_{rr}$ ,  $Thh$ ,  $Tff$ ,  $Tll$  могут быть получены по значениям счетчиков, например, для DUT с  $N$  идентичными элементами в линии задержки можно вычислить  $T_{rr}$  по формуле  $T_{rr} = (C1/(C1+C2+C3+C4)) * T/N$ , где  $T$  – период внешнего сигнала и  $C1$ ,  $C2$ ,  $C3$ ,  $C4$  – значения соответствующих счетчиков.

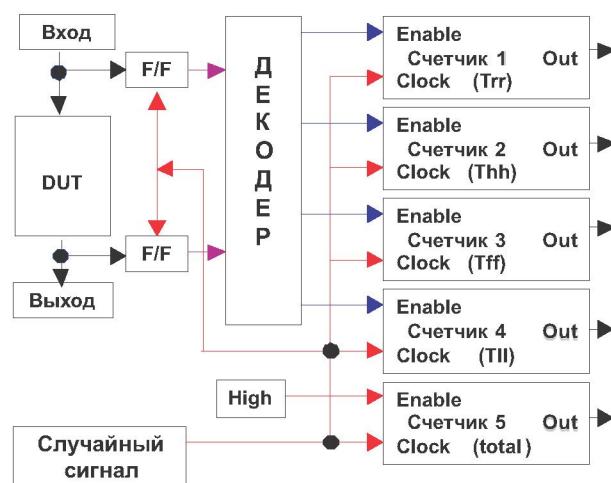


Рис. 2. Схематика метода

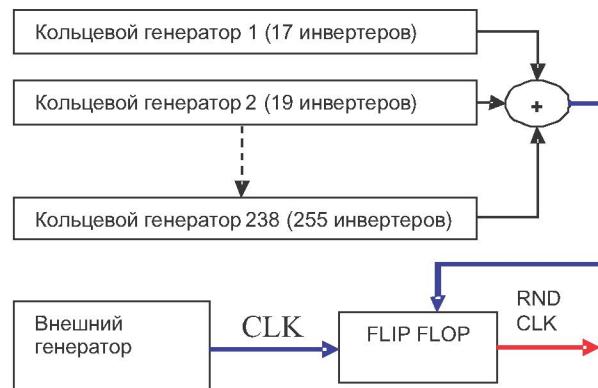


Рис. 3. Генератор случайного сигнала

Наиболее важными вопросами реализации предложенной схемы являются вопросы синхронизации и согласованности состояний триггеров (Flip-Flop F/F), а также вопросы генерации случайного сигнала, независимого от формы входного сигнала.

Для уменьшения эффектов рассинхронизации в цепях триггеров мы использовали специальные средства логического синтеза и физического размещения проекта на кристалле с целью достижения одинаковой временной задержки случайного сигнала в цепях триггеров. Для этого были разработаны специальные скрипты для средств синтеза фирмы Synopsys, и результаты логического синтеза были проверены симуляцией списка логических вентилей и межсоединений в формате Verilog. Физическое размещение цепей триггеров было выполнено вручную, и в завершение было проведено SPICE моделирование результирующей топологии кристалла.

Для контроля качества случайного сигнала была реализована схема со счетчиками высокого и низкого уровней сигнала с использованием внешнего прецизионного генератора частоты. Контролировалась разница значений счетчиков, которые для случайного сигнала независимо от фазы должны совпадать с высокой точностью по истечении длительного времени наблюдений. Визуальное наблюдение за данными счетчиков выполнялось с использованием системы автоматизации измерений LabVIEW от компании National Instruments.

В тестовой микросхеме были реализованы два генератора случайного сигнала, первый с 8-битным LSFR регистром (аналогичный генератору случайного сигнала, описанному в работе [2]), и второй с использованием многочисленных (238) кольцевых генераторов с различным числом инверторов (схема показана на рисунке 3). Второй генератор имел более сложную структуру и продемонстрировал улучшенные характеристики случайного сигнала, по сравнению с первым.

Дополнительно к описанной методике измерений была реализована методика измерений с накоплением фазовой ошибки, в которой используется возможность высокоточного определения момента нулевой фазы для двух сигналов с одинаковой частотой. Любые два сколь угодно похожие генераторы сигналов на кристалле при одинаковой частоте будут иметь разность фаз, определенную несовершенством топологии, различными внутренними и внешними условиями на кристалле. Если в начальный момент времени генераторы имели одинаковую фазу сигнала, то через некоторое время фаза сигнала одного из генераторов опередит фазу сигнала другого генератора на 360 градусов. Основной измеряемой величиной является интервал времени, необходимый для набега фазы на 360 градусов. Для определения временных задержек использовались два кольцевых генератора, различающихся в одном элементе – объекте измерений. Временные параметры объекта измерений определяются в зависимости от измеренного времени набега фазы, частоты внешнего сигнала и схемы подключения элемента.

В тестовой микросхеме также были реализованы модули функциональной верификации библиотечных элементов, анализа целостности сиг-

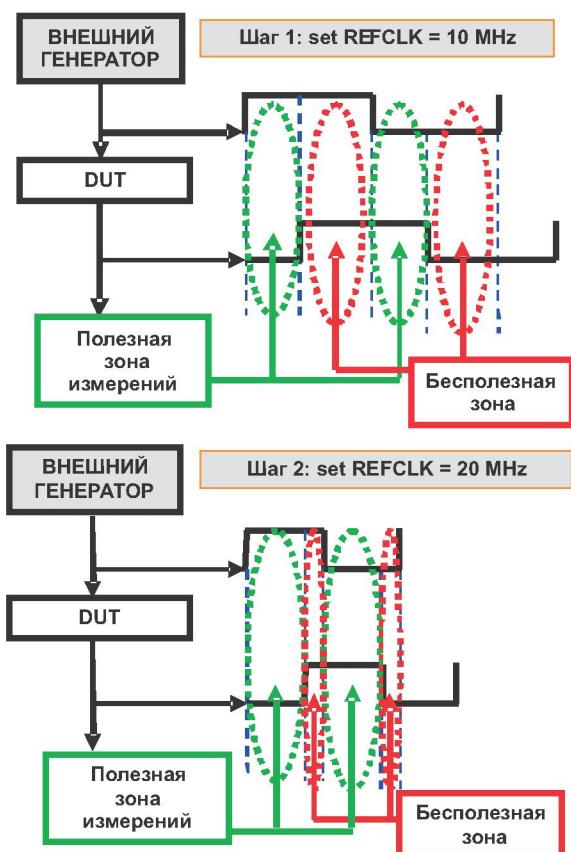


Рис. 4. Калибровка измерений

налов на кристалле, анализа энергопотребления, температурного анализа и специализированный модуль для автоматизированной калибровки измерений. Управляющие и отладочные модули были выполнены с использованием микроконтроллера Syscon-2 с поддержкой архитектуры Wishbone и UART интерфейса к ПК.

### 3. Калибровка и тестирование.

Для уменьшения ошибок измерений необходимо определить оптимальный период  $T$  входного сигнала. Калибровка осуществляется для каждой линии задержки последовательным определением частоты внешнего генератора с целью уменьшения интервалов времени  $T_{hh}$  и  $T_{ll}$ , поскольку значительные значения соответствующих счетчиков по сравнению с другими счетчиками только увеличивают ошибку измерений. На рисунке 4, шаг 1, показаны неприемлемые интервалы  $T_{hh}$  и  $T_{ll}$ , приводящие к большим значениям  $T_{rr}$  и  $T_{ff}$  счетчиков, в сравнении со значениями  $T_{rr}$  и  $T_{ff}$  счетчиков. В данном случае мы можем увеличить частоту внешнего генерато-

Таблица 1. Экспериментальные результаты для 4 цепей задержки

DUT	Сигнал	Симуляция (ps)	Измерение (ps)
AND (AD2D4)	Низкий уровень	1003	1040
	Задний фронт	0	0
	Передний фронт	0	0
	Высокий уровень	996	960
	Низкий уровень	900	934
	Задний фронт	102	88
	Передний фронт	98	106
	Высокий уровень	900	872
	Низкий уровень	938	984
	Задний фронт	64	46
NI (NID4)	Передний фронт	54	56
	Высокий уровень	943	914
	Низкий уровень	846	888
	Задний фронт	167	154
	Передний фронт	146	148
	Высокий уровень	842	807

ра, уменьшая вероятность случайной выборки в  $T_{th}$  и  $T_{ll}$  области (шаг 2).

#### 4. Экспериментальные результаты

Мы обнаружили расхождения в модельных и измеренных временных параметрах переднего и заднего фронтов сигнала, в частности для элемента AND (AD2D4) моделирование и измерение демонстрирует противоположные результаты. Стандартная ошибка измерений составила 5 пикосекунд. Данные проведенных измерений позволили усовершенствовать модельные параметры библиотеки стандартных элементов, используемые при верификации параметров топологии проектируемых интегральных схем.

#### Благодарности

Данная работа поддержана Dongbu HiTek Co., Ltd., Бучен, Южная Корея. Авторы выражают благодарность М. Алексееву, Г. Хвану и М. Киму.

#### ЛИТЕРАТУРА

1. W. H. Kao, Chi-Yuan Lo, M. Basel, and R. Singh, "Parasitic extraction: current state of the art and future trends," *Proceeding of IEEE*, vol. 89, no. 5, pp. 729-739, 2001.
2. S. Maggioni, A. Veggetti, A. Bogliolo, L. Croce, "Random sampling for on-chip characterization of standard cell propagation delay", in *Proceedings of the Fourth International Symposium on Quality Electronic Design*, 24-26 March 2003, pp. 41- 45.
3. S. K. Thompson, *Sampling*, 2<sup>nd</sup> Edition, Wiley, 2002.

#### Резюме

Жартылайтігіштік индустрияды кремний фабрикасында өндірісте пайдаланылатын интегралды микросхема стандарттық кітапхананың әрбір элементтінің уақыттық кідірісін схемаішлік жоғары дәлдікті өлшеу үшін кездесқан таңдау әдісін жүзеге асыру қарастырылған. Dongbu HiTek кремний фабрикасында 0.13  $\mu\text{m}$  GL130SB технологиялық процесі бойынша тестілік микросхема дайындалды және 32 кітапханалық элементтер үшін уақыттық кідірісті пикосекундты дәлдікпен өлшеу жүргізуге мүмкіндік берді. Өлшеудің нәтижелері жобалануышы ӘЖИС-нің топологиясының параметрлерін тексеруге пайдаланылатын стандарттық элементтік кітапхананың модельді параметрлерін жақсартуға мүмкіндік берді.

#### Summary

We report on implementation of random sampling methodology for on-chip measurements of the pin-to-pin propagation delay of single standard cells of core library. A test chip has been implemented in 0.13  $\mu\text{m}$  GL130SB (130nm Logic Process) technology at Dongbu HiTek and used to monitor up to picosecond's timing behavior of 32 DUT's of core library. Observed mismatch between simulated and measured parameters helps to improve and verify library cell models.

Казахстанско-Британский  
технический университет,  
г. Алматы, Казахстан  
Северо-западный  
политехнический университет,  
Фримонт, США

Поступила 8.12.2009 г.